

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

03979518 **Image available**

TRANSISTOR FOR DRIVING LIQUID CRYSTAL

PUB. NO.: **04-344618** [JP 4344618 A]

PUBLISHED: December 01, 1992 (19921201)

INVENTOR(s): HAYASHI HISAO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-146906 [JP 91146906]

FILED: May 21, 1991 (19910521)

INTL CLASS: [5] G02F-001/136; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1523, Vol. 17, No. 197, Pg. 166,
April 16, 1993 (19930416)

ABSTRACT

PURPOSE: To reduce a leak current which flows in an OFF state by forming a thin film transistor(TFT) which drives each picture element by connecting two 1st LDD transistor(TR) and 2nd LDD TR in series.

CONSTITUTION: The 1st LDD(Lightly Doped Drain) TR 1 is provided with a gate electrode 6 on a P type area 3 across a gate insulating film 4 and also an N type high-density area across an LDD area 6 to form a source-drain electrode 9. The 2nd LDD TR 2 is provided with a gate electrode 10 on a P type area 8 across a gate insulating film 7 and an N type high-density area across an LDD area 11 to forming a source-drain electrode 12. The P type areas 3 and 8 of the TRs 1 and 2 are connected in series across an N type low-density drain area 13. Therefore, voltages applied to the sources - drains of the TRs 1 and 2 can be reduced in the OFF state.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-344618

(43) 公開日 平成4年(1992)12月1日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M	H 0 1 L 29/78	3 1 1 C

審査請求 未請求 請求項の数 2 (全 4 頁)

(21) 出願番号 特願平3-148906

(22) 出願日 平成3年(1991)5月21日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 林 久雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

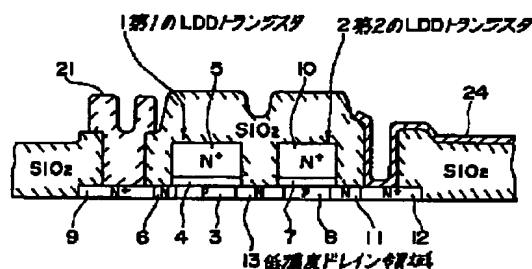
(74) 代理人 弁理士 船橋 国昭

(54) 【発明の名称】 液晶駆動用トランジスタ

(57) 【要約】

【目的】 アクティブマトリックス型液晶ディスプレイの各画素に配設されているTFTトランジスタにおけるオフ時のリーク電流を少なくする。

【構成】 2つのLDDトランジスタを直列に2個接続し、オフしているときに各トランジスタのソース〜ドレイン間に各々印加される電圧が減少するようにして、オフ時にTFTトランジスタに流れるリーク電流を少なくする。



液晶駆動用トランジスタの断面図

(2)

特開平4-344618

1

【特許請求の範囲】

【請求項1】 アクティブマトリックス型液晶ディスプレイの各画素を駆動するために用いられる液晶駆動用の薄膜トランジスタにおいて、上記各画素を駆動するための薄膜トランジスタを、低濃度ドレイン領域を有するLDDトランジスタを直列に2個接続して構成したことを特徴とする液晶駆動用トランジスタ。

【請求項2】 上記LDDトランジスタにおける低濃度ドレイン領域と同じ半導体層のみを用いて上記2つのLDDトランジスタを接続するようにしたことを特徴とする請求項1に記載の液晶駆動用トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶駆動用トランジスタに係わり、特に、オフ時のリーク電流を減少させるものに用いて好適なものである。

【0002】

【従来の技術】 周知の通り、液晶ディスプレイの駆動方式としては単純マトリックス駆動方式やアクティブマトリックス方式などが知られている。これらの駆動方式を比較した場合、一般に、画質や応答性の点において、アクティブマトリックス方式が優れていると言われている。上記アクティブマトリックス方式は、画素に非線形素子を付加する駆動方式であり、上記非線形素子としてはダイオードやバリスタ、或いはオン・オフ比の大きいMOS型トランジスタなどが用いられている。上記MOS型トランジスタは、透明基板上に作成されるので一般的に薄膜トランジスタTFTと呼ばれている。これらの各素子のうち、フルカラーLCDとして活発に研究開発が行われているのは薄膜トランジスタTFTである。

【0003】 図4に薄膜トランジスタTFTを用いたアクティブマトリックス型液晶ディスプレイの等価回路を示す。図4から明らかなように、アクティブマトリックス型液晶ディスプレイにおいては、ゲートバスライン20とソースバスライン21とにより各画素22が構成される。そして、画素電極24を介して送られる信号を各画素22ごとに書き込んだり、保持するために薄膜トランジスタ23が用いられる。

【0004】 このような目的で用いられる薄膜トランジスタ23は、オン時には電流を流す能力が要求され、また、オフ時にはその反対に電流を流さないようにする能力が要求される。そこで、ポリシリコンTFTは駆動能力が優れているので、これらの要求に答えることが可能なトランジスタとして用いられている。また、上記ポリシリコンTFTは周辺回路をオンチップすることが可能であり、画素トランジスタを小さくすることができる利点がある。

【0005】 しかしながら、ポリシリコンTFTはオフ時にリーク電流を抑えることが難しいとされている。そこで、このオフ時にリーク電流を抑える問題を解決する

2

ために次の3つの方法が従来より用いられている。すなわち、その内の一つはダブルゲート構造とよばれるものであり、これはトランジスタを直列に2個接続してドレーン電界を半分にすることにより、トンネル電流を抑えるようにしたものである。また、チャンネルのポリシリコン膜厚を薄くしてリークする体積を減らすことによりリーク電流を抑えるようにする、いわゆる超薄膜化法が用いられることもある。また、その他の技術としてLDD (Lightly Doped Drain) トランジスタを用いることもある。

【0006】 LDDトランジスタは、図5の断面図に示すように低濃度ドレイン領域Nを設けることにより、接合のトンネル電流が発生しないように電界を抑える構造にしている。ただし、このようにすると空乏層が拡がるので、その中の発生電流に注意しなければならない。これらの技術のうち、LDD構造はリーク電流がドレーン電界の影響をそれほど受けないので、液晶駆動用トランジスタとして用いるのに適しており、研究開発が活発に行われている。ところで、通常LDDというのはドレーン側にのみ設けるのでこのように呼ばれている。しかしながら、液晶駆動トランジスタの場合は電流をどちら側からも流す必要があるので、どちらがソースでどちらがドレインであるとの区別がない。したがって、以下の説明においては特別の断りがない限り両側に低濃度領域があるものとする。

【0007】

【発明が解決しようとする課題】 LDD構造のトランジスタの特徴は、リーク電流がドレーンの電界にそれ程影響を受けない点にある。したがって、LDDトランジスタの場合にはトンネル電流が流れないから異常に大きなリークが発生する不都合はない。しかし、この場合はドレーン電圧に応じた空乏層がLDD部に拡がるので、空乏層内で電流が発生する。このため、黒表示時は中間調を表示しているときよりもリークが大きくなる不都合がある。

【0008】 図6に、LDDトランジスタの典型的な電気特性図を示す。図6から明らかなように、 $+V_g$ のゲート電圧で電流 I_o が流れ込む。また、ゲートに $-V_g$ の電圧を印加することにより上記電流 I_o が流れないようにしている。このときの電流 I_{off} は小さい方がよいが、従来公知の技術を用いてこれを少なくすることが困難であった。本発明は上述の問題点に鑑み、オフ時に薄膜トランジスタに流れるリーク電流を少なくすることを目的とする。

【0009】

【課題を解決するための手段】 本発明の液晶駆動用トランジスタは、アクティブマトリックス型液晶ディスプレイの各画素を駆動するために用いられる液晶駆動用の薄膜トランジスタにおいて、上記各画素を駆動するための薄膜トランジスタを、低濃度ドレイン領域を有するLDD

(3)

特開平4-344618

3

Dトランジスタを直列に2個接続して構成している。また、本発明の他の特徴とするところは、上記LDDトランジスタにおける低濃度ドレイン領域と同じ半導体層のみを用いて上記2つのLDDトランジスタを接続するようにしている。

【0010】

【作用】第1のLDDトランジスタと第2のLDDトランジスタとを直列に2個接続することにより、オフしているときにこれら第1および第2のトランジスタのソース〜ドレイン間に各々印加される電圧を減少させ、オフ時に流れるリーク電流を少なくする。

【0011】

【実施例】図1は、本発明の一実施例を示す液晶駆動用トランジスタの断面図である。図1から明らかなように、本実施例の液晶駆動用トランジスタは、第1のLDDトランジスタ1と、第2のLDDトランジスタ2とを直列に2個接続した構成となっている。

【0012】また、本実施例においては、2つのLDDトランジスタ1、2を直列に接続するに際し、各LDDトランジスタ1、2間の距離が短くなるように工夫している。すなわち、第1のLDDトランジスタ1は、ゲート絶縁膜4を介して第1のP型領域3上にゲート電極5を設けるとともに、上記第1のP型領域3との間に第1のLDD領域6を挟んでN型の高濃度領域を設け、第1のトランジスタの一方のソース・ドレイン電極9を形成することにより構成している。

【0013】また、第2のLDDトランジスタ2は、ゲート絶縁膜7を介して第2のP型領域8上にゲート電極*

$$V_1 = (R_1 / R_1 + R_2) \cdot V_2$$

となり、各々のトランジスタにかかる電圧を大幅に減少させることができる。実験によれば、各々のトランジスタ1、2にかかる電圧を、1/2〜1/3に減少させることができた。

【0016】なお、上記実施例においては、第1のLDDトランジスタ1と第2のLDDトランジスタ2とを直列に接続するに際し、第1のトランジスタの他方のソース・ドレイン電極と、第2のトランジスタの他方のソース・ドレイン電極とを低濃度ドレイン領域13により共通に形成し、これら2つのトランジスタを直列に接続するようにした。したがって、各トランジスタ間の接続距離を極端に短くすることができ、LDDトランジスタを2個つなげても所要面積が大きくなるようにすることができる。しかし、このような接続を行うことなく、2個のLDDトランジスタを単に直列に接続するだけでも、本発明の目的および効果は良好に達成される。

【0017】

【発明の効果】本発明は上述したように、請求項1の発明によれば、第1のLDDトランジスタと第2のLDDトランジスタとを直列に2個接続して各画素を駆動する薄膜トランジスタを形成するようにしたので、オフして

4

*10を設けるとともに、上記第2のP型領域8との間に第2のLDD領域11を挟んでN型の高濃度領域を設けてその一方のソース・ドレイン電極12を形成することにより構成されている。そして、上記第1のP型領域3と第2のP型領域8との間を、N型の低濃度ドレイン領域13を介して接続することにより、第1のLDDトランジスタ1および第2のLDDトランジスタ2を直列に接続している。なお、各部はSIOによりなる絶縁膜にて絶縁されている。

【0014】このようにして構成される本実施例の液晶駆動用トランジスタには、第1のトランジスタの一方のソース・ドレイン電極9にソースバスライン21が接続され、第2のトランジスタの一方のソース・ドレイン電極12に画素電極24が接続される。また、各ゲート電極5、10にゲートバスライン20がそれぞれ接続される。したがって、これらの第1および第2のLDDトランジスタ1、2は、1つのトランジスタとして動作することとなり、図2の構成図に示すように表すことができる。また、その等価回路は図3の回路図に示すようになり、電圧 V_1 は第1のトランジスタの一方のソース・ドレイン電極9と第2のトランジスタの一方のソース・ドレイン電極12との間に印加される。

【0015】このため、各トランジスタの接続点の電位を V_1 とした場合、各々のトランジスタ1、2にかかる電圧は、 V_1 および $(V_2 - V_1)$ となる。したがって、電流 I_{off} 時における各トランジスタの抵抗値を R_1 、 R_2 とした場合、

$$\dots (1)$$

いるときに各薄膜トランジスタのソース〜ドレイン間に印加される電圧を大幅に減少させることができる。したがって、オフ時に流れるリーク電流を少なくすることができ、液晶ディスプレイのコントラスト、および画質を良好に改善することができる。また、請求項2の発明によれば、各トランジスタ間の接続距離を短くすることができるので、LDDトランジスタを2個つなげても所要面積が大きくなるようにすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す液晶駆動用トランジスタの断面図である。

【図2】液晶駆動用トランジスタの構成図である。

【図3】液晶駆動用トランジスタの等価回路図である。

【図4】液晶ディスプレイの等価回路図である。

【図5】LDDトランジスタの断面図である。

【図6】LDDトランジスタの電気特性図である。

【符号の説明】

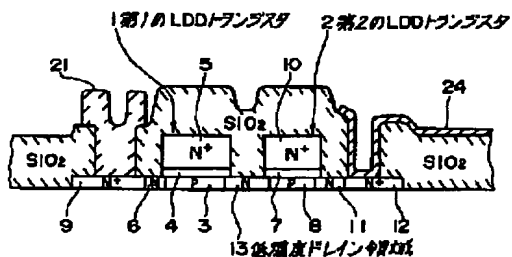
- 1 第1のLDDトランジスタ
- 2 第2のLDDトランジスタ
- 3 第1のP型領域
- 6 第1のLDD領域

(4)

特開平4-344618

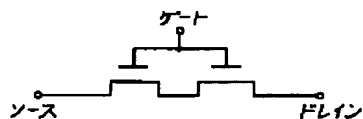
- 5
8 第2のP型領域
9 第1のトランジスタの一方のソース・ドレイン電極
11 第2のLDD領域
12 第2のトランジスタの一方のソース・ドレイン電極
13 低濃度ドレイン領域

【図1】



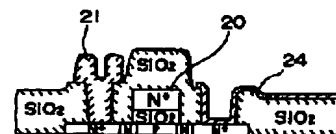
液晶駆動用トランジスタの断面図

【図2】



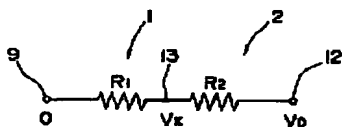
液晶駆動用トランジスタの構成図

【図5】



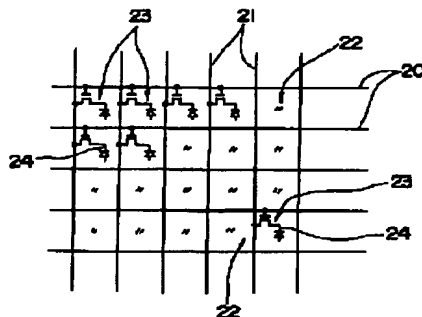
LDDトランジスタの断面図

【図3】



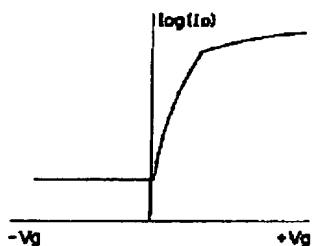
実用例のトランジスタの等価回路

【図4】



液晶ディスプレイの等価回路

【図6】



LDDトランジスタの電気特性